

引用格式:沈欣,陈良权,高敏,等. 基于 FPGA 的 OCTA NOR Flash 存储芯片高效测试方法[J]. 微电子学与计算机,2019,36(10):65-67. [SHEN X, CHEN L Q, GAO M, et al. A high efficiency testing method for OCTA NOR flash memory device with FPGA [J]. Microelectronics & Computer, 2019, 36(10): 65-67.]

基于 FPGA 的 OCTA NOR Flash 存储芯片高效测试方法

沈 欣¹, 陈良权², 高 敏¹, 林 媛¹

(1 电子科技大学 电子科学与工程学院, 四川 成都 610054; 2 苏州诺存微电子有限公司, 江苏 苏州 215311)

摘 要: 针对 OCTA NOR Flash 的测试占用接口多, 传统测试方法耗时较长的问题, 提出了一种基于 I/O 口共用的 OCTA NOR Flash 高效测试系统及方法, 以 FPGA 作为控制器, 将测试指令传输给多颗 Flash 芯片, FPGA 接收 Flash 芯片传回的数据后经过处理, 可显示到相应的显示装置上. 实际验证了系统的可行性. 实际验证的结果表明, 在测试过程中, 数据传输稳定, 无误码.

关键词: OCTA NOR Flash; 高效测试; FPGA

中图分类号: TN407

文献标识码: A

文章编号: 1000-7180(2019)10-0065-03

A high efficiency testing method for OCTA NOR Flash memory device with FPGA

SHEN Xin¹, CHEN Liang-quan², GAO Min¹, LIN Yuan¹

(1 School of Electronic Science and Engineering, University of Electronic Science and Technology of China, Chengdu 610054, China; 2 NOR-MEM Microelectronics Co. Ltd, Suzhou 215311, China)

Abstract: Abased on I/O ports sharing high efficiency testing method for the testing of OCTA NOR Flash memory device is proposed. By using the FPGA as the controller, the testing instructions can be transmitted to multiple Flash memory devices and the testing data can be processed by FPGA and display to display device. The verification results also show stable and error-free data transmission can be realized in this method.

Key words: OCTA NOR Flash; Efficient testing; FPGA

1 引言

目前 NORFlash 广泛采用串行外设接口 (Serial Peripheral Interface, SPI) 实现与处理器等功能单元间的互连. 传统单线制 SPI 传输机制由于只有单个输入/输出接口 (I/O 接口), 极大限制了 NORFlash 读写速度的进一步提高. 针对这一问题, 近年来 Macronix 等公司推出了一种称为 OCTANORFlash 的新型高速 NORFlash 存储芯片. OCTANORFlash 存储芯片在支持传统单接口 SPI 传输模式的同时,

可利用自身的 8 个 I/O 接口实现高速 OPI 传输模式, 有效提高存储芯片的数据传输速率. 在双倍传输速率模式下, OCTA NOR Flash 芯片的数据传输速率可达 1600 bps, 是单接口 SPI 的 16 倍^[1-5].

对于 OCTA NOR Flash 芯片而言, 由于其单颗芯片就具有 8 倍于普通 NORFlash 芯片的 I/O 端口, 继续采用传统的测试方法难以解决测试对 FPGA 芯片 I/O 端口数目的需求, 因此有必要针对 OCTA NOR Flash 的特点, 设计一种新型的测试方法, 解决自动化程度低、测试效率低、多颗测试时占

用大量 FPGA I/O 接口等问题. 基于 FPGA 芯片, 设计了一种可进行多颗 OCTANORFlash 芯片并行测试的高效 NORFlash 测试方法. 本方法通过 FPGA 芯片数据端口的共用, 有效降低了 FPGA 芯片的 I/O 接口使用量; 并通过对测试时序的优化, 利用 OCTANORFlash 芯片的擦除时间区实现对多颗 OCTANORFlash 芯片的同时交错测试, 有效提高了测试效率^[6].

2 总体设计

基于本方法的 OCTANOR Flash 高效测试系统包括控制装置、显示装置、译码器及若干个待测芯片. 各部分连接方式如图 1 所示. 其中, 显示装置连接控制装置, 用于显示检测结果. 本系统测试选用的 OCTA NORFlash 具有 512 个存储单元的 512 Mbit OCTANORFlash 存储芯片. 待测芯片的片选信号端口通过译码器连接控制装置, 且每个待测芯片的时钟接口与数据传输接口均对应连接于控制装置相同接口.

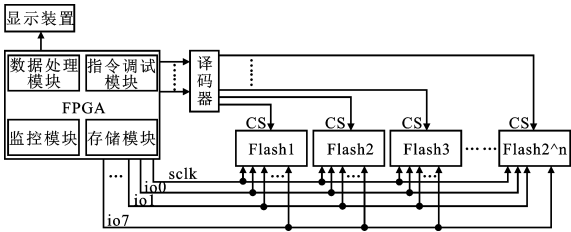


图 1 OCTA Flash 高效测试系统总体框架

所述控制装置选择 Xilinx 公司的 Artix-7FPGA 芯片作为核心控制单元, 通过 Verilog HDL (硬件描述语言) 设计出指令测试模块、监控模块、存储模块及数据处理模块. 其中, 存储模块用于存储指令集及测试数据, 指令发送模块用于发送片选信号和测试指令, 监控模块用于实现测试芯片是否完成 Erase 指令的判定及系统测试状态监控.

如图 1 所示, 该测试系统中测试的 I/O 口的数目 $N_{i/o}$ 与待测芯片数目 N_{chip} 的关系为 (其中 $Ceil(X)$ 代表向上取整函数):

$$N_{i/o} = 9 + Ceil(\log_2 N_{chip}) \tag{1}$$

而传统的 FPGA 测试系统在用于测试 OCTA Flash 时, 用于测试的 I/O 口的数目 $N_{i/o}$ 与待测芯片数目 N_{chip} 的关系为:

$$N_{i/o} = 10 * N_{chip} \tag{2}$$

该系统能在测试 100 颗芯片时, 相比于传统的使用 FPGA 测试方式下能省下 I/O 的比例 S 为:

$$S = (10 * N_{chip} - (9 + \log_2 N_{chip})) / (8 * N_{chip}) = (8 * 100 - (9 + \log_2 100)) / (8 * 100) = 0.97625.$$

由计算可知, 在测试 100 颗 OCTA Flash 时, 使用本系统的测试方式可以比传统的测试方式节省 97.625% 的 I/O 口数目.

图 2 所示为使用传统测试方法与本系统测试方法, 在 1—40 颗芯片测试情况下所用 I/O 口数的比较.

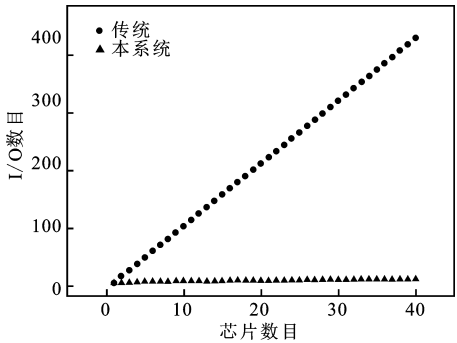


图 2 待测芯片数目与 I/O 口数目关系

3 OCTA Flash 主要指令及测试流程

OCTA BUS 基于 (Serial Peripheral Interface, SPI), 因此 OCTA Flash 有 OPI 和 SPI 两类指令, 区别是 OPI 指令为 8 个 I/O 口传输数据, SPI 指令为单个 SI 接收和 SO 输出端口. 而 OPI 又分为 (Single Transfer Rate, STR) 和 (Double Transfer Rate, DTR) 模式, 简称 SOPI 和 DOPI. 在 DOPI 模式中, 芯片在时钟的上升沿和下降沿均传输数据; 而在 SOPI 模式中, 芯片仅在上升沿传输数据. OCTA Flash 芯片的接口不需要进行寻址操作, 只需要通过对三类信号线进行控制. 这四种信号线分别为:

CS#: chip select, 芯片片选信号, 低有效;

SCLK: serial clock, 串行时钟信号;

SIO: Serial input and output, 串行输入输出信号. 当芯片通过 SIO 接收指令, 地址, 数据时做 SI 使用; 当芯片通过 SIO 输出数据时, 做 SO 使用.

OCTA NOR Flash 存储芯片所有的指令操作都是在芯片 CS 为低电平时, 按照芯片时序要求从 SIO 口传输给芯片. 在芯片的擦写操作中, 会按照芯片的页、扇区和区块的划分进行擦写. 一页的大小为 256 Byte, 一个扇区的大小为 4K Byte, 一个区块的大小为 64K Byte.

图 3 为 SPI、SOPI、DOPI 三种模式下读的时序图, 其他指令以此类推.

根据 OCTA NORFlash 测试系统的要求, 测试

流程图如图 4 所示:

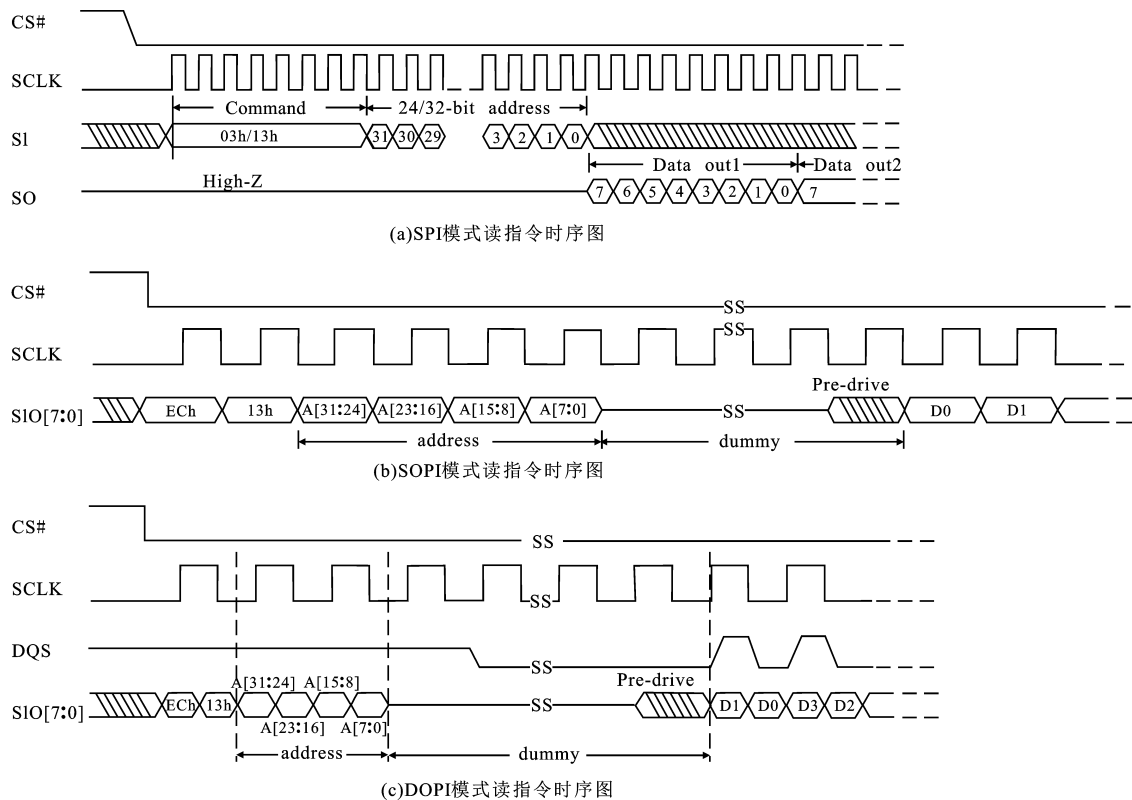


图 3 三种模式读指令时序图

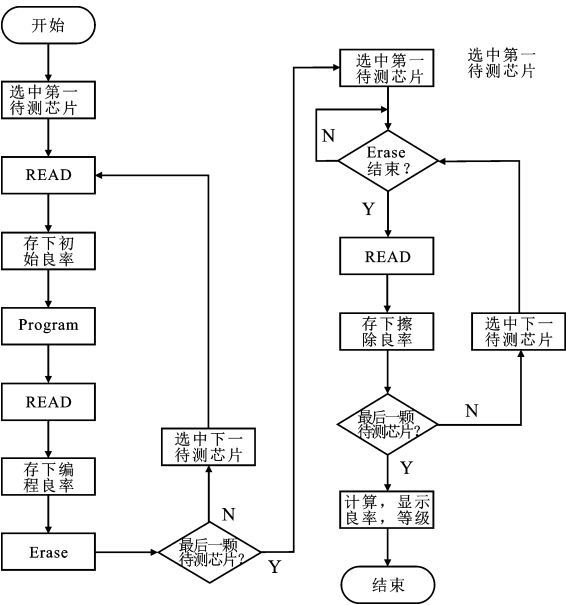


图 4 OCTAFlash 高效测试系统软件设计流程图

传统的 PFPGA 测试方式需要等待芯片一颗测试结束再进行下一颗芯片测试,而本测试系统系统可以利用所需操作时间较长的指令进行期间测试下一颗芯片,从而节省了测试时间,提高了测试效率.

4 简易验证系统

为了验证此测试系统的可执行性,搭建了一个简易版的测试系统,此简易版的测试系统的硬件部分,包括 USB2.0 上位机,USB 2.0 的接口芯片 CY7C68013A,FPGA 控制模块,待测芯片以及示波器.上位机把指令给 FPGA 和显示 FPGA 接收回的数据;FPGA 用于将指令按照芯片手册要求传输给芯片,并且将芯片传回的数据给 USB2.0 上位机;示波器可以获取 BUS 上的波形.

使用 USB2.0 上位机发送 03H 指令,并传回 FPGA 读回的芯片数据数据,芯片返回全 1 的数据,与上位机显示全 F(16 进制全 1 为 F)的数据一致.接下来对芯片进行一次编程操作,起始地址全 0 的 256 Byte,写入数据前 4 个 Byte 为 55 AA CC 33,其余写入数据全 0,并读回编程后数据.

5 结束语

本文介绍的 OCTA Flash 高效测试系统及方法,在测试 100 颗芯片时,该测试系统比传统的 FP-
(下转第 72 页)

参考文献:

- [1] WANG G, YE J C, MUELLER K, et al. Image Reconstruction is a New Frontier of Machine Learning [J]. IEEE Transactions on Medical Imaging, 2018, 37(6):1289-1296.
- [2] LI B, ZHAO F, SU Z, et al. Example-based Image Colorization using Locality Consistent Sparse Representation[J]. IEEE Transactions on Image Processing, 2017, 26(11):5188-5202.
- [3] 江静, 张雪松. 图像超分辨率重建算法综述[J]. 红外技术, 2012, 34(1):24-30.
- [4] 曾凯, 丁世飞. 图像超分辨率重建的研究进展[J]. 计算机工程与应用, 2017, 53(16):29-35.
- [5] 高媛, 刘志, 秦品乐, 等. 基于深度残差生成对抗网络的医学影像超分辨率算法[J]. 计算机应用, 2018, 38(9):2689-2695.
- [6] 孔玲莉, 黄华, 齐春. 图像超分辨率研究的最新进展[J]. 光学技术, 2014, 30(3):374-377.
- [7] YANG J, WRIGHT J, HUANG T S, et al. Image super-resolution via sparse representation. [J]. IEEE Transactions on Image Processing, 2010, 19(11):2861-2873.
- [8] DONG W, ZHANG L, SHI G, et al. Image Deblurring and Super-resolution by Adaptive Sparse Domain Selection and Adaptive Regularization[J]. IEEE Transac-

tions on Image Processing, 2011, 20(7):1837-1857.

- [9] 马杰, 武利涛, 张晓严. 一种改进的组稀疏表示图像去噪方法[J]. 微电子学与计算机, 2017, 34(6):99-103.
- [10] LIU S, JIA J, ZHANG Y D, et al. Image Reconstruction in Electrical Impedance Tomography Based on Structure-Aware Sparse Bayesian Learning[J]. IEEE Transactions on Medical Imaging, 2018, 37(9):2090-2101.
- [11] 隋昊, 周萍, 沈昊, 等. 基于混沌序列的压缩感知语音增强算法[J]. 微电子学与计算机, 2018, 35(1):96-99.
- [12] 孙玉宝, 韦志辉, 肖亮, 等. 基于稀疏表示的图像超分辨率重建快速算法[J]. 系统工程与电子技术, 2010, 32(12):2696-2700.
- [13] 胡长胜, 詹曙, 吴从中. 基于深度特征学习的图像超分辨率重建[J]. 自动化学报, 2017, 43(5):814-821.
- [14] FREEMAN W T, JONES T R, PASZTOR E C. Example-Based Super-Resolution [J]. IEEE Computer Graphics and Applications, 2002, 22(2):56-65.

作者简介:

石翠萍 女, (1980-), 博士, 博士后, 副教授, 硕士生导师. 研究方向为数字图像处理、模式识别与人工智能方向的研究. E-mail: scp1980@126.com.

(上接第 67 页)

GA 测试系统测试时间可减少约 98%, I/O 口的使用数目减少约 97%. 可以实现多芯片的智能测试, 节约人工成本, 测试效率高、测试成本低.

参考文献:

- [1] Kynett V N, Baker A, Fandrich M L, et al. An in-system reprogrammable 32 K×8 CMOS flash memory [J]. IEEE Journal of Solid-State Circuits, 1988, 23(5):1157-1163.
- [2] Bez R, Camerlenghi E, Modelli A, et al. Introduction to flash memory[J]. Proceedings of the IEEE, 2003, 91(4):489-502.
- [3] Crippa L, Micheloni R, Motta I, et al. Nonvolatile Memories: NOR vs. NAND Architectures[M]. Berlin Heidelberg: Springer, 2008.
- [4] 蔡玥. 不断发展的闪存及与之对应的测试方案[J]. 中国集成电路, 2004(9):61-65.
- [5] Macronix International Co. Ltd. MX25LM51245G,

3V, 512Mb, v1.0 [EB/OL]. (2016) [2019-2-20] <http://www.macronix.com/Lists/Datasheet/Attachments/7417/MX25LM51245G,%203V,%20512Mb,%20v1.0.pdf>.

- [6] 鉴海防, 王占和, 李印增, 等. SoC 嵌入式 flash 存储器的内建自测试设计[J]. 微电子学与计算机, 2005, 22(4):87-91.

作者简介:

沈欣 女, (1992-), 硕士研究生. 研究方向为数字集成电路设计与芯片测试方面研究.

陈良权 男, (1982-), 高级工程师. 研究方向集成电路测试方面工作.

高敏(通讯作者) 女, (1983-), 博士, 副教授. 研究方向电子薄膜与集成器件方面研究.

E-mail: mingao@uestc.edu.cn.

林媛 女, (1973-), 博士, 长江学者特聘教授, 博士生导师. 研究方向电子薄膜与集成器件方面研究.